

Programmation de FPGA Xilinx en VHDL

Pré-requis

- + Bonnes notions en informatique et électronique numérique
- + Notions d'algèbre de Boole

Documentation

- En début de stage trois documents sont fournis :
- + Un cours de VHDL incluant de nombreux exemples
 - + Un memo de 10 pages contenant l'essentiel du VHDL
 - + Un cahier de TP

Contacts

stage.sciences@
universite-paris-saclay.fr

Objectifs

- + Formation destinée à des ingénieurs ou assistant- ingénieur en électronique numérique qui souhaitent découvrir la programmation de FPGAs Xilinx
- + Connaître l'intérêt et les performances des FPGAs
- + Maîtriser la syntaxe et la sémantique du VHDL
- + Maîtriser la conception VHDL avec l'outil Vivado
- + Simuler une description avec Vivado Simulator

Programme

+ JOURNÉE 1

A. Le coeur du FPGA 1. Rappel sur les fonctions logiques 2. Les éléments logiques standards 3. La configuration du FPGA B. Xilinx, FPGA connecté au monde extérieur 1. Les « pins » d'un FPGA 2. Le fichier de contraintes C. La modélisation d'un système numérique 1. Les différents types de modèles 2. Le flot de conception Xilinx TP1 : CREATION ET SYNTHÈSE D'UN PROJET VIVADO II. LA BASE DE LA SYNTAXE VHDL

A. Structure d'une description VHDL 1. Les règles d'écriture 2. Le couple entité – architecture 3. Les bibliothèques B. Les types 1. Les types scalaires 2. Les types composites 3. Les classes TP2 : SYNTHÉTISER UN DECODEUR BINAIRE C. Les fonctions et opérations de base 1. Les attributs 2. Les opérateurs standards 3. Quelques fonctions de base III. LOGIQUE SEQUENTIELLE ET COMBINATOIRE

A. Description combinatoire 1. Les instructions concurrentes 2. Gestion des conflits sur un bus partagé TP3 : REALISER UN CIRCUIT COMBINATOIRE UTILISANT PLUSIEURS FONCTIONS DE BASE

+ JOURNÉE 2

B. Description comportementale
1. Présentation d'un processus
2. Les instructions séquentielles
C. Deux exemples fondamentaux
D. Quelques pièges à éviter
TP4 : REALISER UN GENERATEUR D'HORLOGE A PARTIR D'UN COMPTEUR 10BITS
IV. VHDL LANGAGE MODULAIRE ET REUTILISABLE
A. Les composants
1. Déclaration et instanciation
2. La généricité

Déroulement de la formation

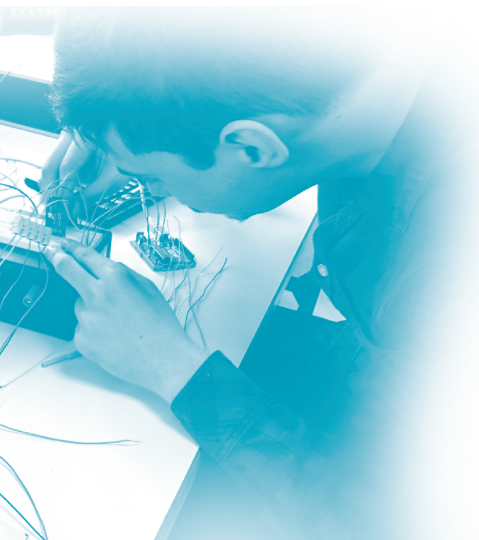
- + *Durée de 4 jours incluant 9TPs et 2 projets.*
- + *Présentation Powerpoint (6 sessions de 1h30)*
- + *Mise en pratique des nouvelles notions sur une carte FPGA*
- + *Maximum 12 personnes (6 binômes)*

Matériel requis (pour formation en intra)

- Un ordinateur par binôme équipé de Windows :*
- + *Intel Core i5 ou i7*
 - + *4Go de mémoire vive (minimum)*

Matériel mis à disposition

- + *6 cartes FPGA-USB (Artix7) munies de 4 convertisseurs et d'un générateur de signaux*
- + *6 oscilloscopes usb (Analog Discovery)*
- + *DVDs pour installer Vivado Design Suite HL WebPACK™ Edition*



- 3. Les IPs (IPs Cores Xilinx, Opencores)
TP5 : REALISER UN GENERATEUR D'HORLOGE GENERIQUE UTILISANT UNE DCM COMME HORLOGE DE REFERENCE
- B. Les sous-programmes
- C. Les packages
TP6 : AJOUT D'UN SOUS-PROGRAMME AU TP5 ET MISE EN PACKAGE DE L'ENSEMBLE

+ JOURNEE 3

- V. LA SIMULATION
 - A. Le concept d'un banc de test (testbench)
 - 1. La structure d'un banc de test
 - 2. classe, types et attributs dédiés à la simulation
 - 3. Instanciation du module de test (UUT)
 - B. Les instructions dédiées à la simulation
 - 1. Les instructions concurrentes
 - 2. Les instructions séquentielles
 - C. Tester un module
 - 1. Test d'un module combinatoire
 - 2. Test d'un module séquentiel
- TP7 : REALISER UN TESTBENCH POUR SIMULER LE TP4
- TP8 : REALISER UN GENERATEUR DE SIGNAUX (TRIANGLE & SINUSOIDE), LE SIMULER PUIS LE TESTER
- VI. LES MACHINES D'ETATS
 - A. La machine à états finis
 - B. Transcription VHDL d'une machine d'état
 - C. Méthode pour décrire un séquenceur
- TP9: REALISER UNE MACHINE D'ETAT (PROGRAMMATION D'UN COMPOSANT SPI)

+ JOURNEE 4

- Le quatrième jour permet de consolider les connaissances acquises grâce à des projets. Chaque binôme peut choisir 2 projets au choix.
- PROJET 1** : Réaliser et simuler un corrélateur paramétrable (retard et nombre de sommations programmable, voies interchangeable, élévation au carré...)
 - PROJET 2** : Réaliser et tester une FFT (1024 points) à l'aide de l'IP Xilinx FFT
 - PROJET 3** : Réaliser et tester plusieurs filtres FIR à l'aide de l'IP Xilinx FIR
 - PROJET 4** : Asservissement Proportionnel-Intégral en vitesse d'un moteur à courant continu (2 cartes avec moteur)
- D'autres projets peuvent être développés en fonction des demandes...

Où et Quand ?

- Lundis: Paris centre (lieu à confirmer)
- Samedis, Espace Jacques Prévert (Aulnay-sous-Bois) ou CRD Paris-Saclay (Orsay)
- Stage de création (30-31 mai et 1^{er} juin) : CRD Paris-Saclay (Orsay)